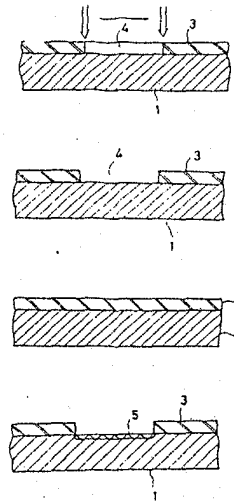


(54) MANUFACTURE OF PRINTED WIRING BOARD INCORPORATING RESISTOR

- (11) 2-146790 (A) (43) 5.6.1990 (19) JP
 (21) Appl. No. 63-300078 (22) 28.11.1988
 (71) DAINIPPON PRINTING CO LTD (72) YUTAKA YAGI
 (51) Int. Cl⁵. H05K1/16, B23K26/00, H01C17/06, H01C17/26

PURPOSE: To facilitate incorporation of resistor into a printed wiring board by projecting energy beam onto a substrate and forming a resistor layer.

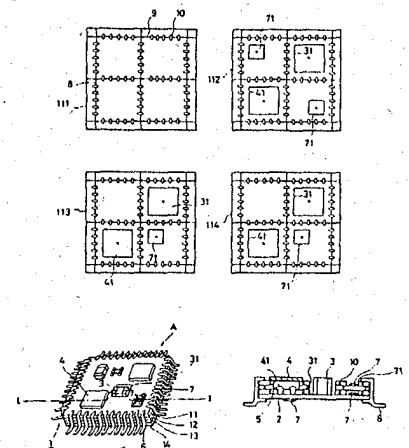
CONSTITUTION: In manufacture of a printed wiring board incorporating a resistor for forming a resistor layer having a predetermined resistance after formation of a predetermined conductive layer, a copper foil 2 is applied onto a substrate 1 to prepare a lamination board. Then a dry film resist is laminated and exposure is carried out through a photo mask having a predetermined pattern followed by development, thus obtaining a desired pattern. 3 and 4 represent positions where conductor pattern and resistor are formed respectively. Then ions are implanted at position 4 through an ion implanting unit, thus forming a resistor layer 5 at position 4. Implanting conditions are determined according to the resistance of the resistor. Energy beam such as laser beam may be projected in place of the ion beam.

**(54) HERMETIC PACKAGE STRUCTURE HAVING MULTI-LAYERED WIRING CIRCUIT FOR HYBRID INTEGRATED CIRCUIT AND MANUFACTURE THEREOF**

- (11) 2-146791 (A) (43) 5.6.1990 (19) JP
 (21) Appl. No. 63-300003 (22) 28.11.1988
 (71) MITSUBISHI MINING & CEMENT CO LTD (72) TSUNETARO NOSE
 (51) Int. Cl⁵. H05K1/18, H05K3/46

PURPOSE: To improve integration and to reduce the size by laminating ceramic substrates having standard punched pattern, thereby forming a hybrid integrated circuit integrating a multi-layered wiring board and a hermetic package.

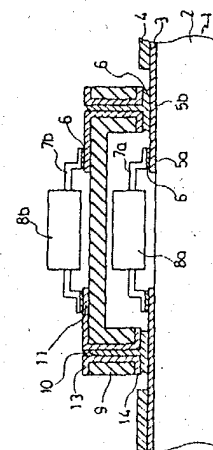
CONSTITUTION: Longitudinal scribe lines 8 and lateral scribe lines 9 are made in a baked alumina substrate and through-holes 10 are formed on the lines, thus forming a substrate 111. A capacitor punching section 31, an IC bare chip punching section 41 and a thick film resistor punching section 71 are formed through laser machining in the substrate 111, thus obtaining substrates 112-114. Thick film circuits and thick film resistors 7 are printed on the substrates 111-114 and baked followed by printing of glass adhesive, then the substrates are laminated and baked to produce a multi-layered wiring board 1. A capacitor 3 and an IC bare chip 2 are mounted on the punched sections of the board 1 and the punched section associated with the IC bare chip is air-tightly sealed with a lid 4. In case of QFP type, a lead 6 is soldered to the substrate.

**(54) SEMICONDUCTOR DEVICE PACKAGE STRUCTURE**

- (11) 2-146792 (A) (43) 5.6.1990 (19) JP
 (21) Appl. No. 63-300146 (22) 28.11.1988
 (71) NEC CORP (72) ATSUSHIKO IZUMI(1)
 (51) Int. Cl⁵. H05K1/18

PURPOSE: To improve packaging density by arranging a semiconductor device onto another semiconductor device where an auxiliary board provided with terminal sections on the opposite faces and a through-hole for connecting them is mounted on a main board.

CONSTITUTION: Land sections 5a, 5b and a wiring section 3 are provided on an insulating main board 2. Terminal sections 14, 11 are provided on the first and second faces of an insulating auxiliary board 9 and they are connected electrically each other through a through-hole 10. The lead section 7a of a semiconductor device 8a is secured 6 to the lead section 5a of the main board 2 and the terminal section 14 on the first face of the auxiliary board 9 is connected electrically to the land 5b thus securing the auxiliary board 9. When a semiconductor device 8b is secured to the terminal section 11 on the second face of the auxiliary board 9, the semiconductor device 8b is connected electrically with the land section 5b of the main board 2 through the terminal section 11 on the second face of the auxiliary board 9, the through-hole 10 and the terminal section 14 on the first face. Since a plurality of semiconductor devices are laminated in one mounting area, semiconductor package density in a wiring board is improved considerably.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-146792

⑬ Int.Cl.⁵

H 05 K 1/18

識別記号

T

庁内整理番号

6736-5E

⑭ 公開 平成2年(1990)6月5日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体装置の実装構造

⑯ 特 願 昭63-300146

⑰ 出 願 昭63(1988)11月28日

⑱ 発 明 者	和 泉 篤 彦	東京都港区芝5丁目33番1号	日本電気株式会社内
⑲ 発 明 者	加 藤 周 幸	東京都港区芝5丁目33番1号	日本電気株式会社内
⑳ 出 願 人	日本電気株式会社	東京都港区芝5丁目33番1号	
㉑ 代 理 人	弁理士 藤 巻 正 憲		

明 細 書

1. 発明の名称

半導体装置の実装構造

2. 特許請求の範囲

(1) 複数のランド部及び配線部を有する絶縁性主基板と、その第1面及び第2面に設けられた端子部並びに両端子部を接続するスルーホールを有する複数の絶縁性補助基板と、を有し、この補助基板の第1面端子部は主基板のランド部又は補助基板の第2面端子部に電気的に接続されて固定されており、複数の半導体装置の一部が主基板のランド部に電気的に接続されて固定され、残部が補助基板の第2面端子部に電気的に接続されて固定されることを特徴とする半導体装置の実装構造。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は配線部が設けられた絶縁性主基板に半導体装置を高密度に実装するための半導体装置の実装構造に関する。

[従来の技術]

第3図は従来の半導体装置の実装構造の一例を示す断面図である。

エポキシ樹脂を含浸したガラス布の積層板(以下、ガラスエポキシ板という)等からなる基材32上に配線部33及びランド部35が形成されている。これらの配線部33及びランド部35は基材32の表面に銅箔等の金属箔を圧着した後、エッチング等により不要な部分を除去して金属箔を所望の形状に残存させることにより形成されている。

また、半導体装置搭載領域を除く基材32上の部分、即ち、配線部33上を含む部分はソルグレジスト34により被覆されている。また、ランド部35上には半田めっきが施されている。

配線基板31はこれらの基材32、配線部33、ソルグレジスト34及びランド部35により構成される。

一方、半導体装置38はそのリード部37が封止部の側面から側方に突出している。このリード

部37は封止部の近傍で一旦半導体装置38の厚さ方向に垂直に屈曲した後、更に半導体装置38の表面に平行の方向に直角に屈曲しており、これにより、リード部37の先端部に基板取付け面が形成されている。そして、この基板取付け面が半田等の導電性接着剤36によりランド部35と電氣的及び機械的に接続されており、これにより、半導体装置38は配線基板31上に実装されている。

〔発明が解決しようとする課題〕

しかしながら、上述した実装構造において、複数の半導体装置38を配線基板31上に搭載する場合、半導体装置38は配線基板31上に直接配置され、各半導体装置38の各リード部37と基材32上のランド部35とが接着剤36により電氣的及び機械的に接続される。即ち、1個の搭載部には1個の半導体装置のみが配設される。このため、配線基板31の大きさにより、搭載可能な半導体装置の数は制約を受け、高密度実装が困難であるという問題点がある。

- 3 -

の第1面及び第2面には端子部が設けられており、この端子部はスルーホールにより相互に電氣的に接続されている。そして、前記主基板のランド部には、半導体装置のリード部が接続固定されると共に、補助基板の第1面の端子部を電氣的に接続して補助基板が固定されている。これにより、補助基板の第2面の端子部に半導体装置を接続固定すると、この半導体装置は補助基板の第2面の端子部、スルーホール及び第1面の端子部を介して主基板のランド部と電氣的に接続される。このように、主基板は勿論、補助基板にも半導体装置が実装されるため、半導体装置が同一搭載領域に複数個積層されることになり、配線基板の半導体装置実装密度を著しく向上させることができる。なお、補助基板上に更に別の補助基板を搭載することにより、絶縁性主基板上に複数の補助基板を積層することも可能である。

〔実施例〕

次に、本発明の実施例について添付の図面を参照して説明する。

- 5 -

本発明はかかる問題点に鑑みてなされたものであって、実装可能な半導体装置の数が配線基板の大きさにより制限されることなく、高密度実装を可能にする半導体装置の実装構造を提供することを目的とする。

〔課題を解決するための手段〕

本発明に係る半導体装置の実装構造は、複数のランド部及び配線部を有する絶縁性主基板と、その第1面及び第2面に設けられた端子部並びに両端子部を接続するスルーホールを有する複数の絶縁性補助基板と、を有し、この補助基板の第1面端子部は主基板のランド部又は補助基板の第2面端子部に電氣的に接続されて固定されており、複数の半導体装置の一部が主基板のランド部に電氣的に接続されて固定され、残部が補助基板の第2面端子部に電氣的に接続されて固定されることを特徴とする。

〔作用〕

本発明においては、絶縁性主基板にランド部及び配線部が設けられている一方、絶縁性補助基板

- 4 -

第1図は本発明の第1の実施例を示す断面図である。本実施例において、補助基板となる半導体装置実装用盛上げ端子基板9は、その下面周縁部に枠状又は断面コ字形の凸部を有する絶縁性の板である。そして、この凸部に、その上面から下面に貫通し、内面に金属めっきが施されているスルーホール10が設けられている。盛上げ端子基板9の上面のスルーホール10の周囲には金属箔のスルーホールランド部13が設けられており、下面のスルーホール10の周囲には金属箔の接続端子部14が設けられている。

また、盛上げ端子基板9上面の中央寄りの領域には半導体装置8bのリード部7bの基板取付け面と整合する位置に半導体装置実装用端子部11が設けられている。この実装用端子部11はスルーホールランド部13及びスルーホール10内の金属めっきを介して接続端子部14と電氣的に接続されている。

この盛上げ端子基板9に搭載される半導体装置8bは例えばフラットパッケージ型であり、その

- 6 -

リード部7bの基板取付け面が実装用端子部11と銀ペースト又は半田等の導電性の接着剤6により接着されて盛上げ端子基板9に固定されている。

一方、主基板である配線基板1はガラスエポキシ板及びトリアシン樹脂等の絶縁性基材2と、この基材2上に形成された配線部3、ソルダレジスト4、並びにランド部5a及び5bとにより構成されている。

半導体装置8aは、従来と同様、そのリード部7aの基板取付け面が基板1のランド部5aに接着剤6により接続固定されて搭載されている。このランド部5aの近傍にはランド部5bが設けられており、このランド部5bに盛上げ端子基板9の接続端子部14が接着剤6により接続固定されている。

このようにして、盛上げ端子基板9上に搭載された半導体装置8bは端子部11及びスルーホール10を介して配線基板1のランド部5b及び配線部3と電気的に接続されている。

上述の如く、本実施例に係る半導体装置の実装

構造は、補助基板の盛上げ端子基板9に実装された半導体装置8bを主基板である配線基板1に実装された半導体装置8a上に積層して実装することを可能にするので、配線基板1に実装可能な半導体装置の数、即ち実装密度を著しく向上させることができる。

なお、盛上げ端子基板9の凸部の内側壁面と配線基板1表面に実装された半導体装置8aのリード部先端との間の距離は、マウント精度を考慮して、0.5mm以上離すことが好ましい。

また、本実施例においては、1枚の盛上げ端子基板9により配線基板1の各搭載領域上に2個の半導体装置を上下2段に積層して実装しているが、盛上げ端子基板を複数個使用して、所望の段数に半導体装置を積層することもできる。

更に、盛上げ端子基板9を使用して半導体装置を積層する面は配線基板1の表面に限定されるものではなく、主基板の表裏両面に積層することにより、一層の高密度化を達成できる。

更にまた、本実施例においては、フラットパッ

- 7 -

- 8 -

ケージ型の半導体装置が補助基板上に表面実装されている場合について説明したが、本発明はこれに限らず、例えば、補助基板の実装用端子部にスルーホールを設けることにより、DIP (Dual In-line Package) 型の半導体装置も高密度で実装することができる。

第2図は本発明の第2の実施例を示す断面図である。

本実施例において、補助基板となる半導体装置実装用盛上げ端子基板19は、絶縁性板の中央部に半導体装置8cに連合した盛上げ端子孔22が穿孔されて形成されており、またその下面周縁部には凸部が形成されている。そして、第1の実施例と同様、この凸部には内面が金属めっきされたスルーホール20が設けられており、このスルーホール20の上部及び下部の盛上げ端子基板9の表面には夫々スルーホールランド部23及び接続端子部24が設けられている。一方、盛上げ端子孔22の周辺部には半導体装置実装用端子部21が設けられており、この実装用端子部21はスル

ーホールランド部23及びスルーホール20内面の金属めっきを介して接続端子部24と電気的に接続されている。

半導体装置8cは盛上げ端子基板19の盛上げ端子孔22に、第1図の実施例の場合と上下方向を逆向きにして端子孔22の上方から挿入され、そのリード部7cの取付面の裏側が実装用端子部21に導電性の接着剤6により接続固定されている。これにより、半導体装置8cは盛上げ端子基板19に機械的に固定されると共に、そのリード部7cは接続端子24と電気的に接続されている。

このようにして半導体装置8cが搭載されている盛上げ端子基板19は、第1の実施例と同様に、基材2上に配線部3、ソルダレジスト4、並びにランド部5a及び5bが形成されている配線基板1のランド部5bに接着剤6により電気的及び機械的に接続固定されている。

本実施例においては、補助基板である盛上げ端子基板19に盛上げ端子孔22が穿孔されており、この盛上げ端子孔22内に半導体装置8cを通常

- 9 -

- 10 -

とは逆向きにして嵌入し設置するため、半導体装置を主基板上に高密度で実装できると共に、実装された半導体装置を含めた実装配線基板の全体の総厚さを薄くすることができる。

〔発明の効果〕

以上説明したように本発明に係る半導体装置の実装構造は、第1面及び第2面に端子部並びに両端子部を接続するスルーホールが設けられている補助基板を使用し、主基板上に搭載されている半導体装置上に更に半導体装置を配置して実装する。これにより、従来の実装構造において1個の半導体装置が搭載されていた配線基板の同一領域に複数の半導体装置を実装できるため、配線基板の実装密度が著しく向上するという効果を奏する。

4. 図面の簡単な説明

第1図は本発明の第1の実施例を示す断面図、第2図は本発明の第2の実施例を示す断面図、第3図は従来の半導体装置の実装構造の一例を示す断面図である。

1, 31: 配線基板、2, 32: 基板、3, 3

3; 配線部、4, 34: ソルダレジスト、5a, 5b, 35; ランド部、6, 36; 接着剤、7a, 7b, 7c, 37; リード部、8a, 8b, 8c, 38; 半導体装置、9, 19; 盛上げ端子基板、10, 20; スルーホール、11, 21; 半導体装置実装用端子部、13, 23; スルーホールランド部、14, 24; 接続端子部

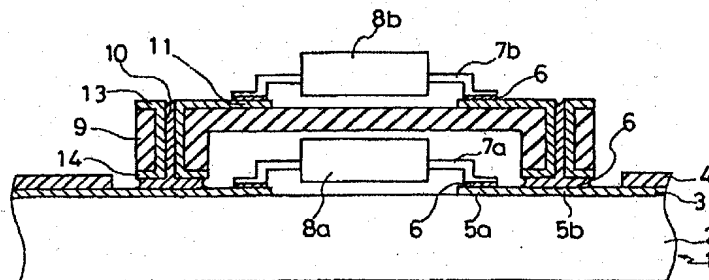
出願人 日本電気株式会社

代理人 井理士 藤巻正憲

- 11 -

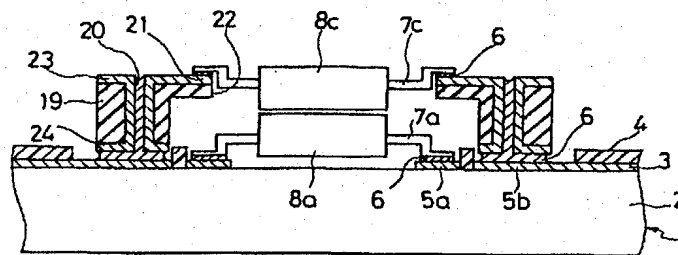
- 12 -

- | | |
|--------------|-----------------|
| 1; 配線基板 | 7a, 7b; リード部 |
| 2; 基材 | 8a, 8b; 半導体装置 |
| 3; 配線部 | 9; 盛上げ端子基板 |
| 4; ソルダレジスト | 10; スルーホール |
| 5a, 5b; ランド部 | 11; 半導体装置実装用端子部 |
| 6; 接着剤 | 13; スルーホールランド部 |
| | 14; 接続端子部 |



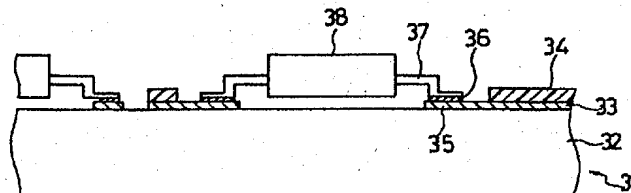
第 1 図

- | | |
|--------------|----------------|
| 1; 配線基板 | 8a, 8c; 半導体装置 |
| 2; 基板 | 19; 盛上げ端子基板 |
| 3; 配線部 | 20; スルーホール |
| 4; ソルダレジスト | 21; 半導体装置実装端子部 |
| 5a, 5b; ランド部 | 22; 盛上げ端子孔 |
| 6; 接着剤 | 23; スルーホールランド部 |
| 7a, 7c; リード部 | 24; 接合端子部 |



第 2 図

- | |
|-------------|
| 31; 配線基板 |
| 32; 基板 |
| 33; 配線部 |
| 34; ソルダレジスト |
| 35; ランド部 |
| 36; 接着剤 |
| 37; リード部 |
| 38; 半導体装置 |



第 3 図